



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11150261 A**(43) Date of publication of application: **02.06.99**

(51) Int. Cl. **H01L 29/66**
H01L 27/10
H01L 29/06
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09318154**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **19.11.97**(72) Inventor: **KOGA JUNJI****(54) ELECTRONIC FUNCTION ELEMENT**

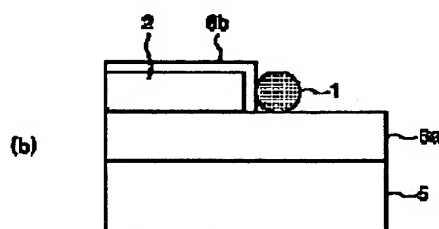
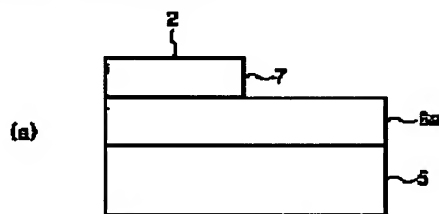
decrease and which is suitable for integration, is obtained.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To suppress dispersion of characteristics by controlling the size and the position of a region under control represented by a quantum dot, by providing at least one step difference formed at the surface side of a substrate, the region under control formed at the sidewall part of the step difference, and a control electrode which controls the current flowing in the region under control.

SOLUTION: On a silicon substrate 5, a silicon layer 2 which is to become a gate through an insulating film such as a silicon oxide film 6a is machined into the intended pattern, and a step difference 7 is formed. Furthermore, arsenic ions are implanted, and the silicon layer 2 is made to be an N-type. Then, after the surface of the silicon layer 2 is covered with a silicon oxide film 6a, a silicon particle 1 is formed along the sidewall of the step difference part 7. Furthermore, when only a source/drain region is covered with resist and anisotropic etching is performed when the silicon layer is formed at the sidewall part, the source/drain region can be formed automatically. Thus, the element, whose characteristic dispersion and the like are



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-150261

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 29/66		H 0 1 L 29/66
27/10	4 5 1	27/10 4 5 1
29/06		29/06
21/8247		29/78 3 7 1
29/788		

審査請求 有 請求項の数 5 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平9-318154

(22)出願日 平成9年(1997)11月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 古賀 淳二

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

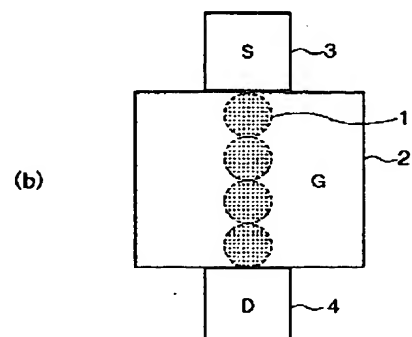
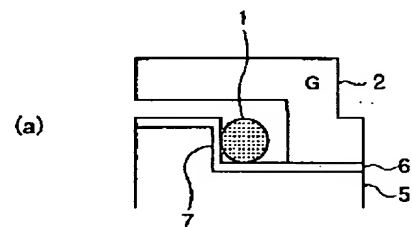
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 電子機能素子

(57)【要約】

【課題】 量子ドット等のサイズや位置を制御でき、特性のばらつきが抑制された素子を得る。

【解決手段】 基板表面側に形成された少なくとも一つの段差7と、この段差7の側壁部に形成された量子ドット1と、この量子ドット1に流れる電流を制御する制御電極2とを有し、量子ドット1に流れる電流は単一電子トンネル効果に基づいて制御される。



【特許請求の範囲】

【請求項1】基板表面側に形成された少なくとも一つの段差と、この段差の側壁部に形成された被制御領域と、この被制御領域に流れる電流を制御する制御電極とを有することを特徴とする電子機能素子。

【請求項2】前記被制御領域に流れる電流は単一電子トンネル効果に基づいて制御されることを特徴とする請求項1に記載の電子機能素子。

【請求項3】基板表面側に形成された少なくとも一つの段差と、この段差の側壁部に形成された被制御領域と、この被制御領域の電荷保持状態を制御する制御電極とを有することを特徴とする電子機能素子。

【請求項4】前記被制御領域の電荷保持状態は単一電子トンネル効果に基づいて制御されることを特徴とする請求項3に記載の電子機能素子。

【請求項5】前記被制御領域は少なくとも一つの量子ドット又は量子細線によって構成されていることを特徴とする請求項1乃至4のいずれかに記載の電子機能素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子機能素子、特に単一電子トンネル効果を利用した素子に関するものである。

【0002】

【従来の技術】シリコンLSIは半導体素子の微細化により高性能を達成している。ところが、1G以上の集積化レベルでは消費電力の問題は大きくなり、これを回避するために電源電圧を下げるのが要請されている。これは動作時に扱う電子の数を少なくすることを意味する。

【0003】そもそも、CMOSに代表される従来素子は、電子の統計的平均を制御することにその動作原理を置いており、平均からのずれはノイズとして扱われる。ところが、電子数が少なくなると相対的にゆらぎは大きくなり、素子の均一な動作が保証できなくなる。これは集積化の限界を意味する。

【0004】最近、新しい動作原理に基づいて、電子を1個単位で制御できる素子が大きな注目を集めている。この素子は単一電子トンネル素子と呼ばれ、クーロンブロッケイドという物理現象を応用している。この詳細については、例えば、“H. Grabert and M. H. Devoret 編集の Single Charge Tunneling (Plenum, New York, 1992)”という本に記載されている。

【0005】また、単一電子トンネル効果を応用したメモリ素子も、将来の大容量・超低消費電力メモリとして提案されている。この詳細については、例えば、“L. Guo et al., Tech. Dig. IEDM, p. 955, 1996”に記載されている。

【0006】以下、図19を用いて上記単一電子トンネル効果を応用したメモリ素子について簡単に説明する。

図19(a)及び(b)は、それぞれ断面構成及び平面構成を模式的に表したものである。構造は従来のフラッシュメモリと類似しているが、特徴は浮遊ゲートが量子ドットになっていることである。単一電子トンネル効果を使って、この量子ドットに対して電子を1個単位で制御しながら出し入れする。読み出しをMOS電流で行うところは従来のフラッシュメモリと同じである。つまり、メモリノードとなる量子ドット21の電荷保持状態でMOSFETのしきい値が変化するので、ソース23及びソレイン24間の電流変化をセンスすればよい。また、書き込みを上部のゲート電極22で制御するのも従来と同様である。

【0007】

【発明が解決しようとする課題】以上のように、単一電子トンネル効果を利用した素子は次世代の超低消費電力デバイスとして非常に有望である。しかしながら、単一電子トンネル効果を室温で実現するには、量子ドットのサイズを10nm程度以下にする必要があり、従来技術では量子ドットのサイズや位置を制御するのが困難であるため、集積化しても特性がばらつくという問題があった。

【0008】本発明は上記従来の問題に対してなされたものであり、量子ドットに代表される被制御領域のサイズや位置を制御でき、特性のばらつきを抑制することが可能な素子を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明に係る電子機能素子は、基板表面側に形成された少なくとも一つの段差と、この段差の側壁部に形成された被制御領域と、この被制御領域に流れる電流を制御する制御電極とを有することを特徴とする。

【0010】前記被制御領域に流れる電流は、特に単一電子トンネル効果に基づいて制御されることが好ましい。前記発明によれば、段差の側壁部に被制御領域が形成されているため、被制御領域のサイズや位置を段差によって規定することができる。したがって、被制御領域に流れる電流のばらつき等を低減することができ、集積化に適した微細なスイッチング素子を実現することができる。

【0011】また、本発明に係る電子機能素子は、基板表面側に形成された少なくとも一つの段差と、この段差の側壁部に形成された被制御領域と、この被制御領域の電荷保持状態を制御する制御電極とを有することを特徴とする。

【0012】前記被制御領域の電荷保持状態は、特に単一電子トンネル効果に基づいて制御されることが好ましい。前記発明によれば、段差の側壁部に被制御領域が形成されているため、被制御領域のサイズや位置を段差によって規定することができる。したがって、被制御領域の電荷保持特性のばらつき等を低減することができ、集

積化に適した不揮発性メモリ素子を実現することができる。

【0013】前記各発明において、被制御領域は一つの段差の側壁部に形成される他、二つの段差すなわち溝の側壁部に形成されていてもよい。前記各発明において、被制御領域は少なくとも一つの量子ドット又は量子細線によって構成されていることが好ましく、この場合には単一電子トンネル効果に基づくスイッチング素子或いは不揮発性メモリ素子が構成されることになる。量子ドット又は量子細線の構成材料としては、半導体又は導電体を用いることができる。なお、被制御領域を量子ドット又は量子細線とせず、単に半導体層として用いるようにすれば、通常のMIS型半導体素子を構成することも可能である。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1及び図2は、本発明の一実施形態についてその平面構成を模式的に示した図である。ゲート2の側壁部（基板表面に設けられた段差部）には複数の量子ドット1（シリコン島）が形成されており、その両端にはソース3及びドレイン4が設けられている。量子ドット間或いは量子ドットとソース・ドレイン間は、図1に示すように微小なシリコン層で繋がっていてもよいし、図2に示すように薄い絶縁膜で分離されていてもよい（絶縁膜については特に図示していないが（他図も同様）、量子ドット間、量子ドットとソース・ドレイン間、量子ドットとゲート間等の隙間には、通常は絶縁膜が形成されているものとする。）。実効的なトンネル障壁は、前者では微小シリコンの連結部で規定され、後者の場合は絶縁部で規定される。量子ドットは10nmオーダーのサイズであり、電子は単一電子トンネル効果によりソース側からドレイン側へと移動する。また、ゲート電極の印加電圧を制御することで、トンネル電流を流したり流さなかったりすることができる。

【0015】図3は、本発明の他の実施形態であり、同図（a）はその断面構成を、同図（b）はその平面構成を模式的に示した図である。シリコン基板5表面に形成された段差7の側壁部にシリコン酸化膜6を介して量子ドット1が形成されており、これを覆うようにゲート電極2が形成されている。具体的な素子動作等については図1の場合と同様である。

【0016】図4は、量子ドットの作製法についてその一例を示した模式図である。以下、工程を順を追って説明する。まず、図4（a）に示すように、シリコン基板5表面に所望のパターンで段差7を形成する。段差は例えば10nmにする。その後、シリコン基板5表面全体を酸化し、例えば厚さ5nmのシリコン酸化膜6を成長させる。

【0017】次に、図4（b）に示すように（上側は断面構成を示した図、下側は平面構成について非晶質シリ

コン1aの形成された領域を示した図）、非晶質シリコン1aを全面に堆積する。膜厚は例えば10nmとする。その後、異方性エッチングを行い、段差7の側壁部のみに非晶質シリコン1aを残す。非晶質シリコン1aへの不純物の導入は、状況に応じて適宜行う。

【0018】次に、図4（c）に示すように、酸素を排除した雰囲気中でアニールを行い、側壁の非晶質シリコンを粒形化して、段差部にそって量子ドット1を形成する。例えば、アニール温度を超高真空中で1000度にするれば、シリコン粒は単結晶化することが知られている。

【0019】本作製法によれば、段差のパターンを規定することで、量子ドットを所望の位置に形成することが可能である。また、段差と非晶質シリコンの厚さを同程度に調整することで、量子ドットのサイズを均一化することが可能である。

【0020】粒形化を容易に促進するためには、例えばアニールの前にKOH処理やTMAH（Tetra Methyl Ammonium Hydroxide）処理を行い、シリコンを凝集しやすくするのが有効である。或いは、熱シリコン酸化膜の代わりに堆積シリコン酸化膜を用いてシリコンとのぬれ性を悪くし、粒形化を促進することも有効である。さらに、シリコン酸化膜の代わりに有機系の絶縁膜を使用してもよい。

【0021】なお、本実施形態では量子ドットとして球形のシリコン粒を用いているが、物理的にサイズが微小で量子ドット効果を具現するものであれば、どのような形のもので構わない。また、量子ドット粒はシリコンに限らず、ゲルマニウムやガリウムヒ素など他の半導体であってもよい。さらに、半導体に限定されず、チタン、ニッケル、コバルト、タングステン、プラチナ、アルミニウム、銅などの金属であってもよいし、それらとシリコン等の反応物であっても構わない。要するに、半導体或いは導電体の中から選択されるものであればよい。

【0022】図5は、図1に示したような素子を作製する場合の工程の一例について、その断面構成を示した図である。本例では、シリコン基板5上にシリコン酸化膜6a等の絶縁膜を介してゲートとなるシリコン層2が形成されたいわゆるSOI基板を用いている。

【0023】まず、図5（a）に示すように、ゲートとなるシリコン層2を所望のパターンに加工して段差7を形成し、さらにヒ素をイオン注入してシリコン層2をN型化する。例えば、加速条件を30keV、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ としてイオン注入を行う。

【0024】次に、図4で説明した作製法に従ってシリコン粒を形成する。すなわち、図5（b）に示すように、シリコン層2の表面をシリコン酸化膜6bで覆った後、段差部7の側壁に沿ってシリコン粒1を形成する。なお、シリコン層を側壁部に形成する際に、ソース・ドレイン部のみをレジストで覆ってから異方性エッチング

を行えば、自動的にソース・ドレイン領域を形成することができる。

【0025】図6は、図3に示したような素子を作製する場合の工程の一例について、その断面構成を示した図である。まず、図6(a)に示すように、シリコン基板5の表面を酸化してシリコン酸化膜6を形成した後、シリコン酸化膜6を所望のパターンに加工して段差部7を形成する。その際、エッチング時間を調整してシリコン基板5表面が露出しないようにする。

【0026】次に、図6(b)に示すように、段差部7に沿ってシリコン粒1を形成する。シリコン粒1の作製は図4で説明した方法に従って行えばよい。このとき、図5で説明したように、シリコン層を側壁部に形成する際に、ソース・ドレイン部のみをレジストで覆ってから異方性エッチングを行えば、自動的にソース・ドレイン領域を形成することができる。

【0027】次に、図6(c)に示すように、シリコン酸化膜等の絶縁膜を介してLPCVD法などによりN型多結晶シリコンを堆積し、これを所望のパターンに加工してゲート電極2を形成する。

【0028】図7及び図8は、本発明の他の実施形態について、その平面構成を模式的に示した図である。本例では、図1等に示した例とは異なり、段差部に形成されたシリコンは粒形化されておらず量子細線8として用いている。ゲート2の構造は、図7のような構造(図1及び図5に対応する構造)であってもよいし、図8のような構造(図3及び図6に対応する構造)であってもよい。量子細線8は、図4(b)までの工程を行って作製することができる。なお、量子細線の材料としては、すでに説明した量子ドットと同様、半導体或いは導電体を

用いることができる。

【0029】図9は、量子細線8の変更例を示した図である。すなわち、シリコン層8(量子細線)の所望の領域を除去したものであり、この除去領域が単一電子素子のトンネル障壁として作用する。同図(a)はシリコン層8をソース・ドレイン方向で対称に分割したもの、同図(b)は非対称に分割したもの、同図(c)は複数のシリコン島を形成したものである。

【0030】図10は、量子細線8のさらに他の変更例を示した図である。図9の構造とは異なり、シリコン層8は完全には分割されておらず、その一部だけが除去されている。エッチング時間を調整することで、このような一部除去が可能となる。この除去領域がやはり単一電子素子のトンネル障壁として作用する。同図(a)はシリコン層8を対称に構成したもの、同図(b)及び(c)は非対称に構成したものである。

【0031】図11は、本発明の他の実施形態について、その平面構成を模式的に示した図である。本例では、図1の構造に対して、さらに補助ゲート(サイドゲート)9が設けられている。単一電子トンネル素子の集

積化に向けて、クーロン振動の位相ばらつきが大変懸念されている。図11に示すような構造にして補助ゲートを調整することにより、クーロン振動の位相を制御することが可能となる。これにより、位相ばらつきがなく、集積化に適した単一電子デバイスが実現できる。勿論、これまで述べてきた種々の素子構造において、適宜、補助ゲートを付加できることは言うまでもない。

【0032】図12(a)は、単一電子トンネル素子を用いてインバータを構成したときの一例を示した模式図である。図1等に示した単一電子トンネル素子が直列に2個つながっている。構造をわかりやすくするため、これまでに述べてきたゲート領域Gとソース・ドレイン領域S/Dとを区別して図示してある。中央のゲートで規定される段差の両側壁部に量子ドットが形成されている。中央の主ゲートとは別に、各単一電子トンネル素子には補助ゲートが設けられており、Vssで表わされる端子はアース線に、Vddで表わされる端子は電源線に、それぞれ接続されている。図12(b)は図12(a)に示されるインバータの特性を示したものであるが、入力Vinとは逆の電圧が出力Voutとして取り出される。インバータ回路は論理回路の基礎となるもので、その基本回路が図12のようにコンパクトに実現できる。勿論、これまで述べてきた種々の素子構造を使ってインバータ回路を構成できることは言うまでもない。

【0033】図13は、本発明の他の実施形態について、量子ドットの作製法についての一例を示した模式図である。以下、工程を順を追って説明する。まず、図13(a)に示すように、シリコン基板5表面に段差7を有する溝を形成した後、表面を酸化して酸化シリコン膜6を形成する。

【0034】次に、図13(b)に示すように(上側は断面構成を示した図、下側は平面構成について非晶質シリコン1aの形成された領域を示した図)、溝の中に非晶質シリコン1aを埋め込む。例えば、レジスト・エッチバック法が有効である。或いは、非晶質シリコンの膜厚を調整して、側壁残しの要領で非晶質シリコンを溝に埋め込んでもよい。

【0035】次に、図13(c)に示すように、超高真空中でアニールすることでシリコンを粒形化し、量子ドット1を形成する。このようにして、溝に沿ってサイズ等が均一化された量子ドットが形成される。

【0036】図14は、本発明の他の実施形態であり、同図(a)はその断面構成を、同図(b)はその平面構成を模式的に示した図である。段差の側壁部に量子ドットが設けられているのはこれまでと同様であるが、本実施形態では、段差部7にシリコン酸化膜6を介して形成された量子ドット1を浮遊ゲートとして用い、さらにその側部に絶縁膜を介して制御ゲートとしてのゲート電極2が設けられている。すなわち、単一電子トンネル効果を利用した不揮発性メモリ素子として機能することにな

り、メモリ状態は量子ドット1の電荷の有無によって表される。なお、チャンネルは半導体基板5の段差に沿ってソース3及びドレイン4間に形成される。量子ドット1は図4に示した方法と同様にして作製すればよく、ゲート電極2は電極材料を堆積した後に異方性エッチング等によりこれを側壁にのみに残すようにして作製すればよい。

【0037】図15は、単一電子トンネル効果を利用したメモリ素子の他の例である。図14の例と同様、量子ドット1を浮遊ゲートとして用いている。本例では、量子ドット1の側部に所定の絶縁膜を介して形成された量子細線10をチャンネルとして用い、量子細線10の両端にソース3及びドレイン4を設けている。段差7を構成するゲート電極2は制御ゲートとして用いられる。

【0038】図16は、単一電子トンネル効果を利用したメモリ素子のさらに他の例である。図14の例と同様、量子ドット1を浮遊ゲートとして用いているが、図14の構造とは異なり、制御ゲートとなるゲート電極2は量子ドットを覆うように形成されている。単一電子メモリとしての機能は図14の例と同様である。

【0039】図17は、図14等にした不揮発性メモリ素子の動作等を説明するための図であり、同図(a)は素子の平面構成を模式的に示した図、同図(b)は三値メモリについてそのメモリ状態を示した図である。

【0040】まず、二値メモリ動作について説明する。量子ドット1に電子が占有されていない状態と占有されている状態を二値メモリとして利用する。書き込みは制御ゲート2に適当な電圧を与え量子ドット1に対して電子をやり取りすることで行い、読み出しはチャンネルを流れる電流をセンスすることで行う。

【0041】次に、三値メモリへの応用について説明する。図17(b)に示すように(図中、斜線で示したドットが電子で占有されている状態)、二つの量子ドットのいずれにも電子が占有されていない状態を“0”、ドレイン側の量子ドットのみに電子が占有されている状態を“1”、両方の量子ドットに電子が占有されている状態を“2”とする。これら三値を使ってメモリ動作を行う。“1”の書き込みはホットエレクトロン注入で行う。つまり、ゲートとドレインに適当な電圧を与えてドレイン近傍にインパクトイオン化を生じさせ、ドレイン近傍で生じたホットエレクトロンを量子ドットへ注入する。この条件下では、ソース近傍でホットエレクトロン注入は行われない。“0”と“2”の書き込みについては、二値メモリの場合と同様である。また、読み出しをチャンネル電流によって行うことも同様である。

【0042】なお、ここでは簡単のため2個の量子ドット系について説明したが、さらに多数の量子ドット系へ適用することも可能である。この場合、ホットエレクトロン注入はドレイン近傍一帯の量子ドット群に対して行われることになる。

【0043】図18は、図17で説明した動作原理を応用して、さらに高次の多値メモリを構成したときの動作等を示した図である。“1”の書き込みは、図17の3値の場合と同様、ドレイン近傍で生じたホットエレクトロンを量子ドットへ注入することで行う。“2”の書き込みは、ソース近傍及びドレイン近傍でホットエレクトロン注入を繰り返すことで行う。“0”と“3”の書き込みについては、二値メモリの場合と同様である。

【0044】以上、本発明の各実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その主旨を逸脱しない範囲内で種々変形して実施することができる。

【0045】

【発明の効果】本発明によれば、段差の側壁部に被制御領域が形成されているため、被制御領域のサイズや位置を段差によって規定することができる。したがって、特性のばらつき等が低減された集積化に適した素子を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示した図であり、単一電子トンネル効果を用いたスイッチング素子について示した図。

【図2】図1の変更例を示した図。

【図3】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いたスイッチング素子について示した図。

【図4】本発明の実施形態に係る量子ドットの作製工程の一例について示した図。

【図5】図1に対応した素子構造の作製工程の一例について示した図。

【図6】図3に対応した素子構造の作製工程の一例について示した図。

【図7】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いたスイッチング素子について示した図。

【図8】図7の変更例を示した図。

【図9】図7の変更例を示した図。

【図10】図7の変更例を示した図。

【図11】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いたスイッチング素子について示した図。

【図12】単一電子トンネル効果を用いたスイッチング素子によってインバータを構成したときの一例を示した図。

【図13】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いたスイッチング素子について示した図。

【図14】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いた不揮発性メモリ素子について示した図。

【図15】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いた不揮発性メモリ素子について示した図。

【図16】本発明の他の実施形態について示した図であり、単一電子トンネル効果を用いた不揮発性メモリ素子について示した図。

【図17】単一電子トンネル効果を用いた不揮発性メモリ素子について、量子ドットが二つの場合の構成及び動作について示した図。

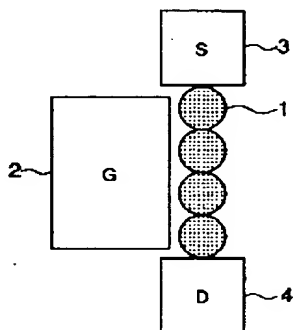
【図18】単一電子トンネル効果を用いた不揮発性メモリ素子について、量子ドットが三つの場合の構成及び動作について示した図。

【図19】従来技術に係る単一電子トンネル効果を用いた素子について示した図。

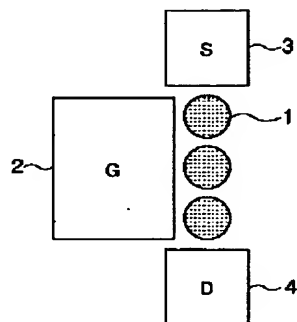
【符号の説明】

- 1…量子ドット
- 2…ゲート
- 3…ソース
- 4…ドレイン
- 5…シリコン基板
- 6…絶縁膜
- 7…段差
- 8、10…量子細線
- 9…補助ゲート

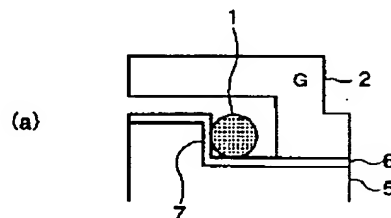
【図1】



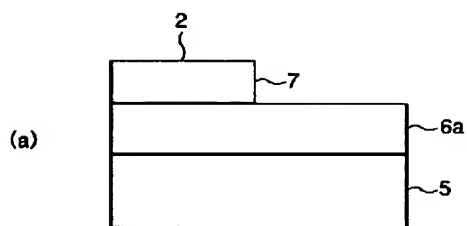
【図2】



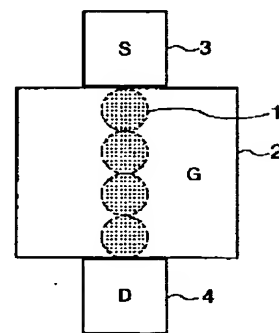
【図3】



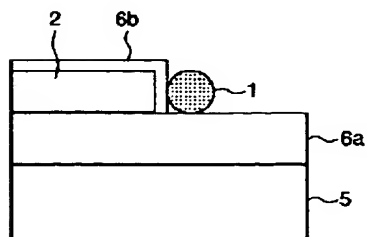
【図5】



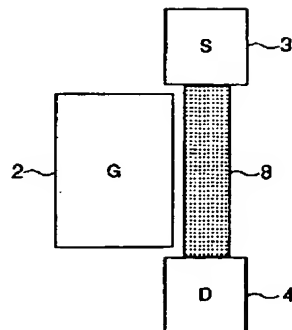
(b)



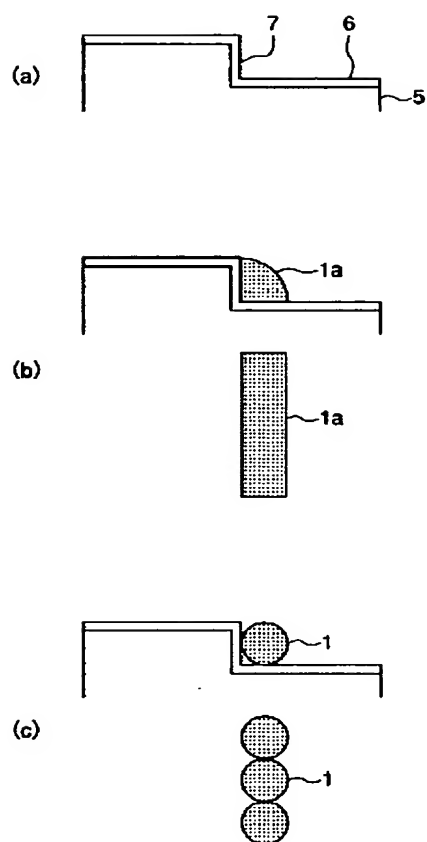
(b)



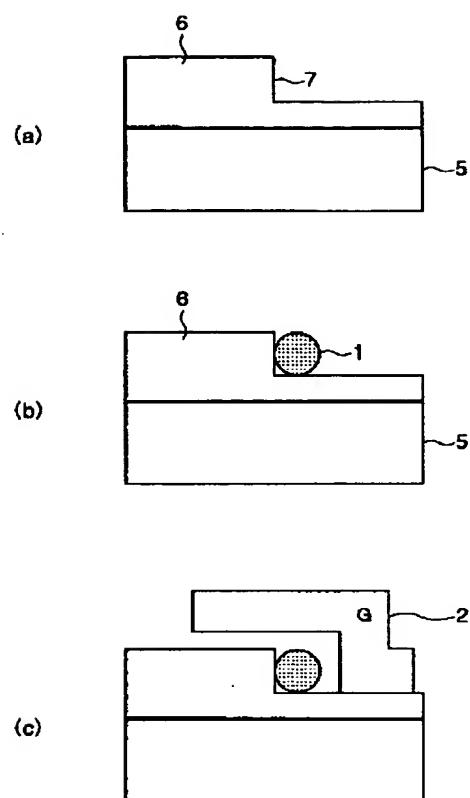
【図7】



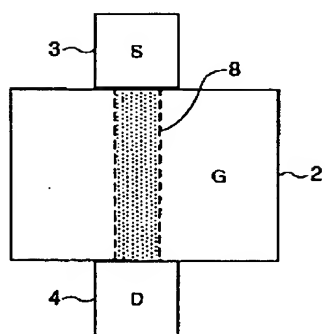
【図4】



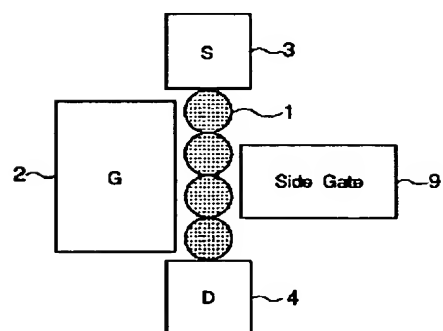
【図6】



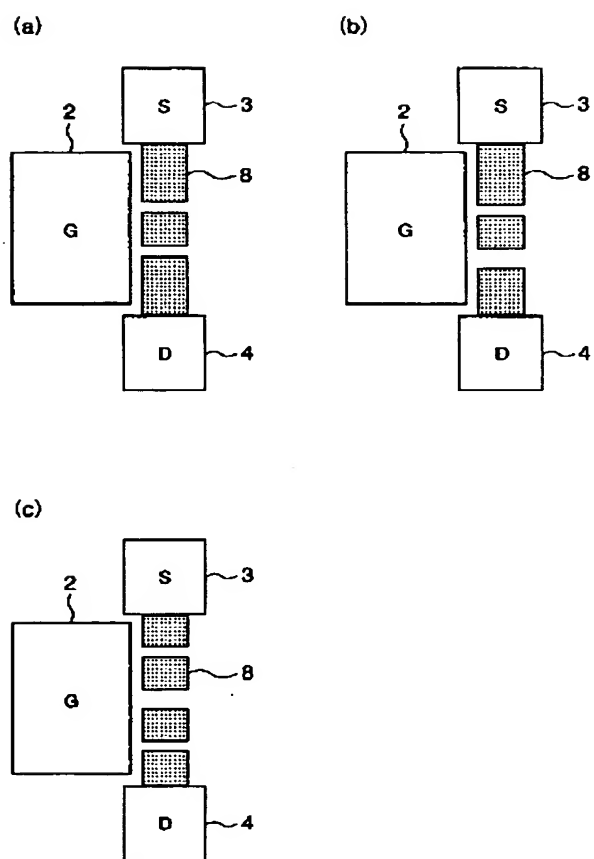
【図8】



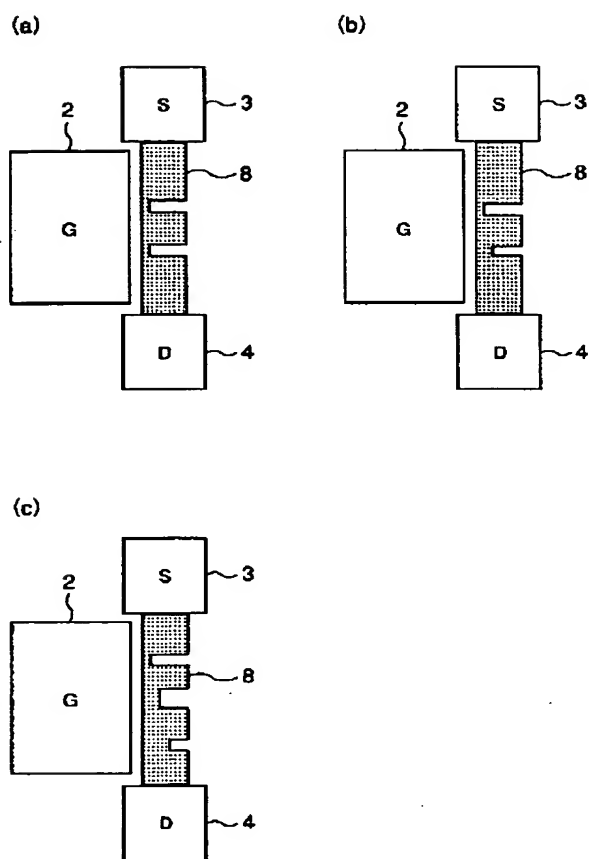
【図11】



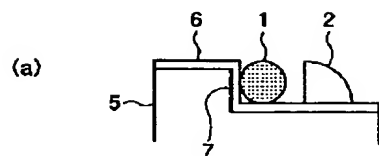
【図9】



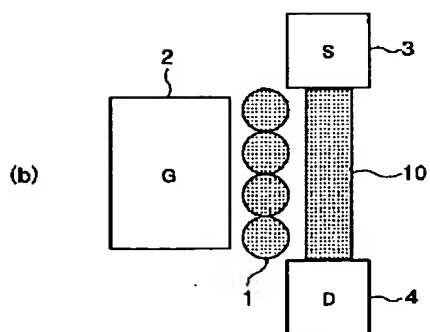
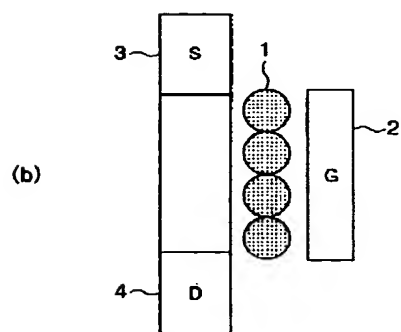
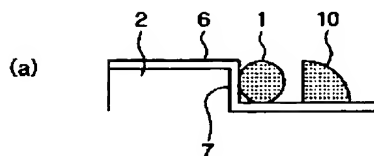
【図10】



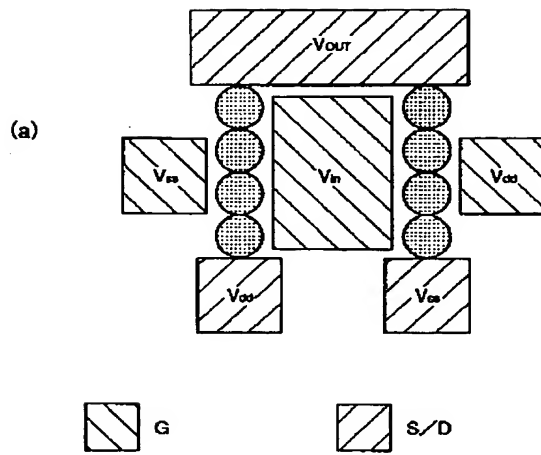
【図14】



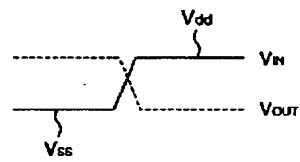
【図15】



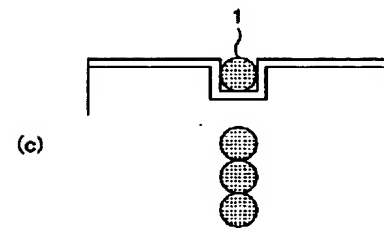
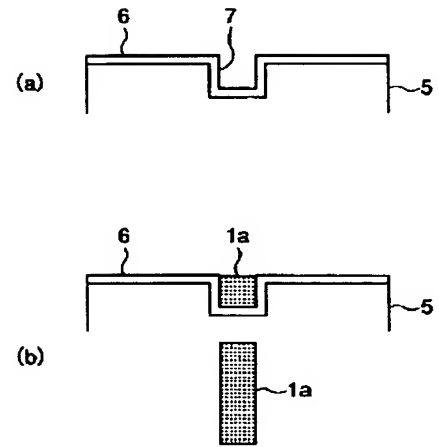
【図12】



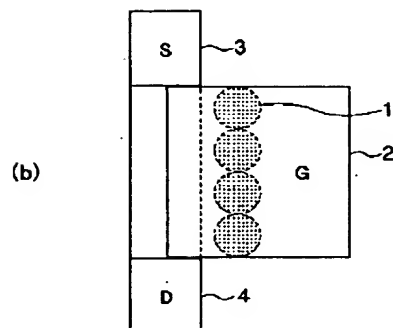
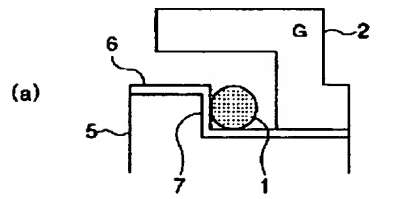
(b)



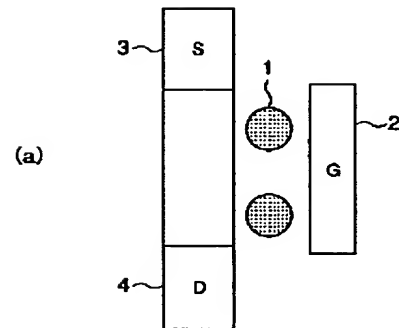
【図13】



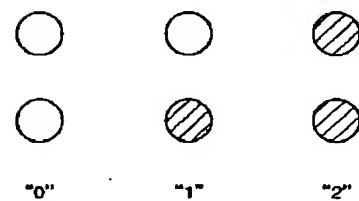
【図16】



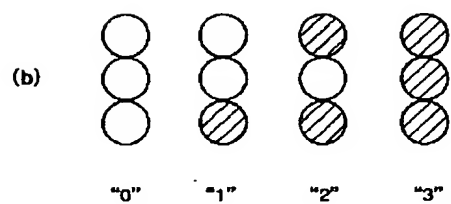
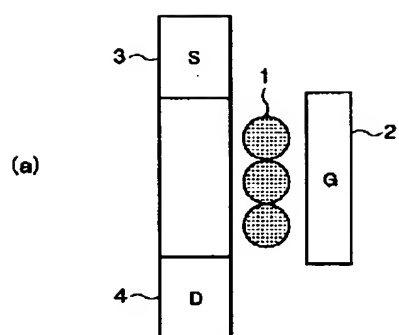
【図17】



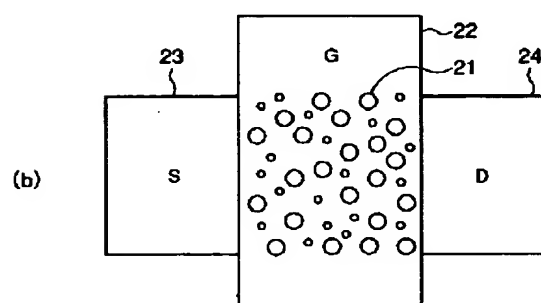
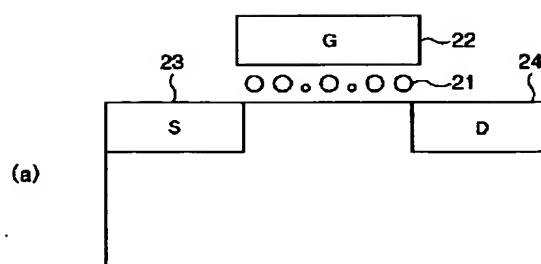
(b)



【図18】



【図19】



フロントページの続き

(51) Int. Cl.⁶

H01L 29/792

識別記号

F I